

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004年3月4日 (04.03.2004)

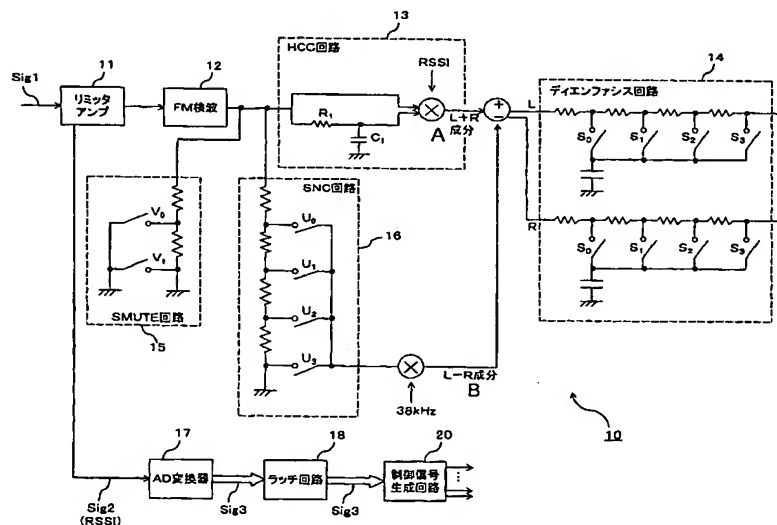
PCT

(10) 国際公開番号  
WO 2004/019526 A1

- (51) 国際特許分類<sup>7</sup>: H04H 5/00 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2003/010584 (75) 発明者/出願人 (米国についてののみ): 古池 剛  
(22) 国際出願日: 2003年8月21日 (21.08.2003) (KOIKE, Tsuyoshi) [JP/JP]; 〒448-8671 愛知県刈谷市  
(25) 国際出願の言語: 日本語 豊田町2丁目1番地 株式会社豊田自動織機内 Aichi  
(26) 国際公開の言語: 日本語 (JP). 宮城 弘 (MIYAGI, Hiroshi) [JP/JP]; 〒943-0834 新潟県  
(30) 優先権データ: 上越市西城町2丁目5番13号 新潟精密株式会  
特願2002-242105 2002年8月22日 (22.08.2002) JP 社内 Niigata (JP).  
(71) 出願人 (米国を除く全ての指定国について): 株式 添付公開書類:  
会社豊田自動織機 (KABUSHIKI KAISHA TOYOTA ー 国際調査報告書  
JIDOSHOKKI) [JP/JP]; 〒448-8671 愛知県刈谷市豊田  
町2丁目1番地 Aichi (JP). 新潟精密株式会社 (NIIGATA  
SEIMITSU CO., LTD.) [JP/JP]; 〒943-0834 新潟県上  
越市西城町2丁目5番13号 Niigata (JP).  
2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

(54) Title: STEREO DEMODULATOR CIRCUIT

(54) 発明の名称: ステレオ復調回路



- 11... LIMITER/AMPLIFIER  
12... FM DETECTION  
13... HCC CIRCUIT  
A... (L + R) COMPONENT  
14... DE-EMPHASIS CIRCUIT  
15... SMUTE CIRCUIT  
16... SNC CIRCUIT  
B... (L - R) COMPONENT  
17... A/D CONVERTER  
18... LATCH CIRCUIT  
20... CONTROL SIGNAL  
PRODUCING CIRCUIT

(57) Abstract: A stereo demodulator circuit has at least one noise control part for performing a noise control in accordance with an RSSI (reception electric-field intensity) when the RSSI is within a predetermined range. The stereo demodulator circuit comprises an A/D converter part that A/D converts a signal corresponding to the RSSI; and a control signal producing part that produces

[続葉有]



a control signal for noise controlling of the noise control part in accordance with the level of the signal obtained by the foregoing A/D conversion when the level is within the foregoing predetermined range. The control signal producing part has an offset part that digitally offsets, by a predetermined value, the signal obtained by the foregoing A/D conversion and that drops lower bits by the bit number corresponding to the roughness of the noise control accuracy. The control signal producing part outputs the control signal based on the signal obtained by this offset part.

(57) 要約: RSSI (受信電界強度) が所定範囲内にある時にそのRSSIに応じたノイズ制御を行うノイズ制御部を少なくとも1つ備えるステレオ復調回路において、RSSIに相当する信号をAD変換するAD変換部と、そのAD変換で得られた信号のレベルが上記所定範囲内にある時に、このレベルに応じて上記ノイズ制御部のノイズ制御のための制御信号を生成する制御信号生成部とを備える。この制御信号生成部は、上記AD変換で得られた信号を所定値分だけデジタル的にオフセットし、かつ、ノイズ制御の精度の粗さに応じたビット数だけ下位ビットを切り捨てるオフセット部を備え、このオフセット部で得られた信号に基づき上記制御信号を出力する。

## 明細書

### ステレオ復調回路

#### 5 技術分野

本発明は、ステレオ受信機等に用いられるステレオ復調回路に係り、特にはその中に組み込まれるノイズ制御のための各種回路における制御技術の改良に関する。更には、そのようなステレオ復調回路をも含む信号処理回路の全般に関する。

10

#### 背景技術

ステレオ復調回路は、一般に、受信したRF信号に基づいてL信号及びR信号を発生させる回路である。

この種のステレオ復調回路においては、受信したRF信号を周波数  
15 変換回路で周波数変換してIF信号が得られ、そのIF信号がリミッタアンプで増幅され、更にFM検波回路で検波されて、コンポジット信号が再生される。

再生されたコンポジット信号は、一般に主成分 $L+R$ と副成分 $L-R$ を含んでおり、このコンポジット信号は2つの経路に分岐される。  
20 すなわち、コンポジット信号は、一方の経路においては $L+R$ 成分が得られ、他方の経路においては、例えば38KHzの信号とミキシングされて $L-R$ 成分が得られる。こうして得られた $L+R$ 、 $L-R$ の各成分を加算／減算器により加算してL成分が得られ、また、加算／減算器により減算してR成分が得られる。

25 更に、上記したステレオ復調回路に生じるノイズを低減して音質を

向上させるために、信号を減衰させたり、信号の高域成分をカットしたりするノイズ制御部を備えたものがある。

例えば、上記の  $L+R$  成分と、この  $L+R$  成分から高域成分をカットした信号とを、 $RSSI$ （受信電界強度）を示す信号である  $RSSI$  5  $I$  信号に応じた比率でミキシングするように構成したハイカットコントロール（ $HCC$ ）回路を設けることで、 $RSSI$  信号に応じたハイカットコントロールが行われている。また、上記ステレオ復調された  $L$  成分、 $R$  成分に含まれる高域ノイズに対し、ディエンファシス回路内において、それら高域ノイズをカットするハイカットコントロール 10 も行われている。

また、 $RSSI$  が小さい場合、混入するノイズの影響が無視できなくなるので、ソフトミューティング（ $SMUTE$ ）回路において、上記コンポジット信号をソフトミューティング処理により減衰させることも知られている。

15 更に、クロストークを抑えるため、主成分  $L+R$  と加算／減算器でブレンドする副成分  $L-R$  の割り合いを調整することも行われている。すなわち、ステレオノイズコントロール（ $SNC$ ）回路において、その副成分  $L-R$  をステレオノイズコントロールにより減衰させるようにしている。

20 上記した  $HCC$ 、 $SMUTE$ 、 $SNC$  の各処理を行うにあたって、上記の  $RSSI$  と、上記  $HCC$ 、 $SMUTE$ 、 $SNC$  の各ノイズ制御を行う回路における制御量を決定するための制御信号との関係は、例えば図 1 に示すように定められている。

この図 1 において、例えば  $HCC$  処理では、 $RSSI$  が  $I_2 \sim I_3$  25 の範囲内にある場合にその時の  $RSSI$  に応じた制御信号  $C_2 \sim C_3$

に従って制御される。なお、RSSIが上記範囲の下限值 $I_2$ 以下の場合には制御信号が $C_2$ に保持され、この保持された制御信号 $C_2$ に従った制御が行われる。一方、RSSIが上記範囲の上限値である $I_3$ 以上の場合は制御信号が $C_3$ に保持され、この保持された制御信号 $C_3$ に従った制御が行われる。

これと同様に、SMUTE処理では、RSSIが $I_0 \sim I_1$ の範囲内にある場合にその時のRSSIに応じた制御信号 $C_0 \sim C_1$ に従って制御され、SNC処理では、RSSIが $I_4 \sim I_5$ の範囲内にある場合にその時のRSSIに応じた制御信号 $C_4 \sim C_5$ に従って制御される。RSSIが各範囲の外にある時にも、HCC処理と同様に、保持された制御信号に従った制御が行われる。

上記のステレオ復調回路において、HCC、SNC、SMUTE等の各処理はアナログ制御であるため、その制御動作がどうしても不安定であり、精度の高いノイズ制御が困難であるという問題があった。

また、HCC、SNC、SMUTE等の各回路におけるノイズ制御量を決定する制御信号を生成する上で基準となる基準電圧（バイアス電圧）が、周囲温度の変化や、プロセスのばらつき等に起因して変動するため、所望のバイアス電圧に常に維持することが困難であった。

非ゼロ・バイアスを採用した従来の回路（差動増幅回路）では、例えば図2に示すように、基準電圧の入力点である点aに、基準電圧としてゼロ（0）でない所定値のバイアス（非ゼロバイアス）が印加されており、上記RSSIに相当する入力 $V_{in}$ の値が上記基準電圧（所定値）を上回った場合に、その差分を増幅し、上記各ノイズ制御回路への制御信号として出力している。

このような構成においては、上記所定値のバイアスが温度変化やプ

ロセスばらつき等に起因して変動し、その結果、正確なノイズ制御が行えなくなるといった問題があった。すなわち、本来の動作範囲から外れたRSSIに対して上記HCC、SNC、SMUTEによるノイズ制御が行なわれてしまい、音質が劣化する一因となっていた。

5

#### 発明の開示

そこで、本発明の第1の目的は、受信電界強度が所定範囲内にある時にこの所定範囲内の受信電界強度に応じたノイズ制御を行うノイズ制御部を少なくとも1つ備えるステレオ復調回路において、上記ノイズ制御部によるノイズ制御の安定化を図り、かつ、その制御量を決定するための制御信号を出力する制御信号出力回路をより簡素な構成で実現することである。

本発明の第2の目的は、上記ノイズ制御部を、温度変化やプロセスばらつき等の影響を受けずに正確に動作させるようにすることである。

15

本発明は、上記目的を達成するために、以下のように構成する。

まず、本発明の第1の態様に係るステレオ復調回路は、受信電界強度が所定範囲内にある時にこの受信電界強度に応じたノイズ制御を行うノイズ制御部を少なくとも1つ備えるステレオ復調回路において、上記受信電界強度を示す信号である受信電界強度信号をAD変換するAD変換部と、このAD変換部で得られたデジタル信号を上記所定範囲に応じた所定値分（例えば、上記所定範囲の下限値に相当する分）だけデジタル的にオフセットし、かつ、上記ノイズ制御部におけるノイズ制御の精度の粗さに応じて設定されるビット数だけ上記デジタル信号の下位ビットを切り捨てるオフセット部と、このオフセッ

25

ト部で得られた信号に基づき、上記ノイズ制御部におけるノイズ制御の制御量を決定する制御信号を出力する制御信号出力部と、を備えることを特徴とする。

5       このような構成によれば、上記ノイズ制御部における制御量を決定するための制御信号がデジタル処理により生成されるので、従来のようにアナログ処理によって制御信号を生成するものと比べ、ノイズ制御動作の著しい安定化が図れる。

10       また、上記オフセット部においては、A/D変換によって得られたデジタル信号をデジタル的にオフセットするだけでなく、そのデジタル信号から、ノイズ制御部におけるノイズ制御の精度の粗さに応じたビット数だけ下位ビットを切り捨て、その残りのビットに基づいて制御信号出力部で制御信号を生成するようにしてある。そのため、制御信号出力部では、単にA/D変換して得られた信号のビット数をそのまま使用して制御信号を生成する場合と比較し、ノイズ制御の精度  
15       の粗さに応じた、より少ないビット数を処理するだけで済むため、無駄のない信号処理が可能になる。その結果、制御信号出力部を構成する回路を一段と簡素化することも可能になる。ここで、上記オフセットと上記下位ビットの切り捨ては、どちらを先に実行する構成であってもよい。

20       なお、上記ノイズ制御部は、上記制御信号出力部から出力される制御信号に応じたノイズ制御量に段階的に切り替えられる構成とすることも可能である。その一例としては、上記制御信号に応じて複数のスイッチを切り換えることで、ノイズ制御の制御量を段階的に増減させる構成等があげられる。

25       また、上記A/D変換部は、実際には通常のA/D変換回路によって実

現可能であるが、このAD変換回路で得られた信号を一時的に保持するラッチ回路を備えた構成も、本発明の範囲内である。

次に、本発明の第2の態様に係るステレオ復調回路は、受信電界強度が所定範囲内にある時にこの受信電界強度に応じたノイズ制御を行うノイズ制御部を少なくとも1つ備えるステレオ復調回路において、上記受信電界強度を示す信号である受信電界強度信号を、上記所定範囲に応じた所定値分（例えば、上記所定範囲の下限值に相当する分）だけオフセットするオフセット部と、このオフセット部で得られた信号をゼロバイアスと比較し、その差分を出力する差分出力部と、この  
5 差分出力部で得られた信号に基づき、上記ノイズ制御部におけるノイズ制御の制御量を決定する制御信号を出力する制御信号出力部と、を備えることを特徴とする。

このような構成によれば、予めオフセット部により受信電界強度信号をオフセットしておき、その後に差分出力部でゼロバイアスと比較  
15 して、その差分を出力するようにしている。このような構成とすることで、差分出力部における比較の基準値をゼロバイアスとすることができるので、前述した温度変化、プロセスばらつき等の影響を受けることなく、上記ノイズ制御部におけるノイズ制御を正確に行うことが可能となる。

20 なお、本発明は、ノイズ制御部を複数備えたものであってもよく、そのような場合、それら複数のノイズ制御部における受信電界強度の上記範囲が互いに別々に設定されているものにも適用可能である。上記ノイズ制御部としては、例えば、ディエンファシス回路、ソストミューティング回路、ステレオノイズコントロール回路等がある。

25 以上に述べた本発明の基本思想は、単にステレオ復調回路に適用可



能だけでなく、何らかの信号処理を行う信号処理回路の全般に適用可能である。

すなわち、本発明の第 1 の態様に係る信号処理回路は、入力信号レベルが所定範囲内にある時にこの入力信号レベルに応じた所定の制御を行う回路部分を少なくとも 1 つ備える信号処理回路において、上記入力信号レベルを示す信号であるレベル信号を A/D 変換する A/D 変換部と、この A/D 変換部で得られたデジタル信号を上記所定範囲に応じた所定値分だけデジタル的にオフセットし、かつ、上記回路部分における上記所定制御の精度の粗さに応じて設定されるビット数だけ上記デジタル信号の下位ビットを切り捨てるオフセット部と、このオフセット部で得られた信号に基づき、上記回路部分における上記所定制御の制御量を決定する制御信号を出力する制御信号出力部と、を備えることを特徴とする。

このような構成からなる信号処理回路によれば、上述した第 1 の態様に係るステレオ復調回路の場合と同様、制御動作の著しい安定化が図れると共に、制御信号出力部での無駄のない信号処理が可能になる。

また、本発明の第 2 の態様に係る信号処理回路は、入力信号レベルが所定範囲内にある時にこの入力信号レベルに応じた所定の制御を行う回路部分を少なくとも 1 つ備える信号処理回路において、上記入力信号レベルを示す信号であるレベル信号を、上記所定範囲に応じた所定値分だけオフセットするオフセット部と、このオフセット部で得られた信号をゼロバイアスと比較し、その差分を出力する差分出力部と、この差分出力部で得られた信号に基づき、上記回路部分における上記所定制御の制御量を決定する制御信号を出力する制御信号出力部と

、を備えることを特徴とする。

このような構成からなる信号処理回路によれば、上述した第2の態様に係るステレオ復調回路の場合と同様、温度変化やプロセスばらつき等の影響を受けることなく、上記回路部分の制御を正確に行うことが可能となる。

#### 図面の簡単な説明

図1は、HCC、SMUTE、SNCの各処理を行うRSSIの範囲を示す図である。

10 図2は、非ゼロ・バイアスを採用した従来の回路（差動増幅回路）の一例を示す回路図である。

図3は、本発明の一実施形態に係るステレオ復調回路10の回路図である。

図4は、図3に示した制御信号生成回路20の回路図である。

15 図5は、図3のディエンファシス回路14のスイッチ部分の具体的な回路構成の一例を示す図である。

図6は、本発明の他の実施形態に係るステレオ復調回路に採用された作動増幅回路30の回路図である。

#### 20 発明を実施するための最良の形態

図3は、本発明の一実施形態に係るステレオ復調回路10の回路図である。

このステレオ復調回路10は、公知の構成として、主に、リミッタアンプ11、FM検波回路12、ハイカットコントロール（HCC）回路13、ディエンファシス回路14、ソフトミューティング（SM

25

UTE) 回路 15、ステレオノイズコントロール (SNC) 回路 16 等を備えると共に、本実施形態において新たに加わる構成として、AD変換器 17、ラッチ回路 18、及び制御信号生成回路 20 を備えている。ここで、上記のディエンファシス回路 14、SMUTE 回路 15、SNC 回路 16 は、RSSI (受信電界強度) に応じたノイズ制御を行うノイズ制御部でもあり、これらノイズ制御部における制御量を決定するための各制御信号が制御信号生成回路 20 から出力される。なお、AD変換器 17 は、請求項に記載の AD変換部に対応する。

このような構成において、入力信号 (中間周波信号) Sig1 はリミッタアンプ 11 を介して FM 検波回路 12 に入力され、ステレオコンポジット信号が生成される。一方、リミッタアンプ 11 から出力された RSSI 信号 Sig2 が、AD変換部としての AD変換器 17 に入力されることで、アナログの RSSI 信号 Sig2 がデジタル信号 Sig3 へと変換される。この AD変換によって得られた信号 Sig3 は、ラッチ回路 18 に一時的に保持され、その保持された信号 Sig3 が制御信号生成回路 20 に入力される。

制御信号生成回路 20 では、入力された信号 Sig3 のレベル (これは RSSI に相当する) に基づき、SMUTE 回路 15 で行われるソフトミューティング (SMUTE) 処理、SNC 回路 16 で行われるステレオノイズコントロール (SNC) 処理、ディエンファシス回路 14 で行なわれるハイカットコントロール (HCC) 処理をそれぞれ制御する制御信号を生成する。

図 4 は、制御信号生成回路 20 の回路構成図である。

この制御信号生成回路 20 は、SMUTE、HCC、SNC の各処理用に 3 つのオフセット回路 21、22、23 と 3 つのセクタ 24

、25、26とを備えて構成されている。ここで、オフセット回路21、22、23は請求項に記載のオフセット部に対応し、セクタ24、25、26は請求項に記載の制御信号出力部に対応する。

ここで、SMUTE回路15は、RSSIが所定の範囲（図1中の  
5  $I_0 \sim I_1$ ）内にある時にはそのRSSIに応じたSMUTE処理を行い、RSSIが上記範囲よりも小さい時には上記範囲の下限值（図1中の $I_0$ ）に対応したSMUTE処理を行い、RSSIが上記範囲よりも大きい時には上記範囲の上限値（図1中の $I_1$ ）に対応したSMUTE処理を行う回路である。そこで、このようなSMUTE回路  
10 用のオフセット回路21では、SMUTE回路15で考慮されている上記RSSIの範囲の下限值（図1中の $I_0$ ）に相当するデジタル値がオフセット値 $F_1$ として設定されており、RSSIに相当するデジタル信号Sig3を上記オフセット値 $F_1$ だけデジタル的にオフセットする。更に、このオフセットによって得られた信号から  
15 、SMUTE回路15に要求される制御精度の粗さに応じて設定されるビット数だけ下位ビットを切り捨てる処理を行う。

例えば、もともとの信号Sig3が5ビットで構成されており、また、SMUTE回路15では相当に粗い制御精度で十分であるものとする。このような場合、まず、SMUTE処理で考慮されるRSSI  
20 の範囲の下限值である $I_0$ に相当するオフセット値 $F_1$ の分だけ信号Sig3をオフセットし、かつ、そのオフセットによって得られた信号から、例えば下位2ビット分を切り捨て、残りの3ビットだけを出力する。このように下位2ビット分切り捨てて得られた上位3ビットの信号は、実際のRSSIの値よりも相当に粗い値を示すことになる

図 4 に示した H C C 用のオフセット回路 2 2 及び S N C 用のオフセット回路 2 3 も、S M U T E 用のオフセット回路 2 1 とほぼ同様である。すなわち、以下の通りである。

H C C 用のオフセット回路 2 2 では、ディエンファシス回路 1 4 における H C C 処理で考慮されている R S S I の範囲の下限值（図 1 中の  $I_2$ ）に相当するデジタル値がオフセット値  $F_2$  として設定されており、R S S I に相当するデジタル信号 S i g 3 を上記オフセット値  $F_2$  だけデジタル的にオフセットする。更に、このオフセットによって得られた信号から、ディエンファシス回路 1 4 における H C C 処理に要求される制御精度の粗さに応じたビット数だけ下位ビットを切り捨てる処理を行う。

例えば、もともとの信号 S i g 3 が 5 ビットで構成されており、また、ディエンファシス回路 1 4 では若干粗い制御精度で十分であるものとする。このような場合、まず、H C C 処理で考慮される R S S I の範囲の下限值である  $I_2$  に相当するオフセット値  $F_2$  の分だけ信号 S i g 3 をオフセットし、かつ、そのオフセットによって得られた信号から、例えば下位 1 ビット分を切り捨て、残りの 4 ビットだけを出力する。このように下位 1 ビット分切り捨てて得られた上位 4 ビットの信号は、実際の R S S I の値よりも若干粗い値を示すことになる。

S N C 用のオフセット回路 2 3 では、S N C 回路 1 6 で考慮されている R S S I の範囲の下限值（図 1 中の  $I_4$ ）に相当するデジタル値がオフセット値  $F_3$  として設定されており、R S S I に相当するデジタル信号 S i g 3 を上記オフセット値  $F_3$  だけデジタル的にオフセットする。更に、このオフセットによって得られた信号から、S N C 回路 1 6 に要求される制御精度の粗さに応じたビット数だけ下位

ビットを切り捨てる処理を行う（勿論、制御精度を粗くしたくなくれば、下位ビットを切り捨てる必要はない）。

例えば、もともとの信号  $Sig3$  が 5 ビットで構成されており、また、 $SNC$  回路 16 では比較的細かい制御精度が必要であるものとする。このような場合、まず、 $SNC$  処理で考慮される  $RSSI$  の範囲  
5 の下限値である  $I_4$  に相当するオフセット値  $F_3$  の分だけ信号  $Sig3$  をオフセットし、かつ、そのオフセットによって得られた信号から下位ビットを切り捨てずに、もともとの 5 ビットをそのまま出力する。このように下位ビットを切り捨てずに得られた 5 ビットの信号は、  
10 実際の  $RSSI$  の値と同程度の粗さの値を示すことになる。

このように、3つのオフセット回路 21、22、23からは、 $SMUTE$ 、 $HCC$ 、 $SNC$ のそれぞれに要求される各制御精度の粗さに  
応じたビット数の信号が出力され、このビット数が少ないほど粗い値となる。これらオフセット回路 21、22、23は、具体的には加算  
15 器によって実現可能である。すなわち、各オフセット値  $F_1$ 、 $F_2$ 、 $F_3$  のマイナスデータに相当する値を保持しておき、この値を信号  $Sig3$  に加算することで、実質的に信号  $Sig3$  から各オフセット値を減算する処理を実行する。また、その演算によって得られたデータを出力する際は、その下位ビットが出力されないように構成しておく  
20 ことで、ビットの切り捨てが可能となる。

勿論、ビットの切り捨ては、その他様々な手法によって実現可能であり、その切り捨てるべきビット数も適宜設定可能である。また、信号  $Sig3$  に対して、予めビットの切り捨てを行っておき、その後にオフセットを行うようにしてもよい。

25 次に、図4に示されているように、各オフセット回路 21、22、

23の後段にはそれぞれセクタ24、25、26が配置されている。これらセクタ24、25、26は、図3に示したSMUTE回路15、ディエンファシス回路14、SNC回路16における各ノイズ処理を、各オフセット回路21、22、23から出力された信号Sig4（すなわち、信号Sig3をオフセットし、かつ下位ビットを切り捨てて得られた信号）に応じて段階的に制御するための制御信号を出力するためのものである。

例えば、図3のSNC回路16は、RSSIに応じたSNC処理を行うために、RSSIに応じて抵抗値を段階的に切り換え可能なように複数のスイッチ $U_0$ 、 $U_1$ 、 $U_2$ 、 $U_3$ を備えており、例えば、L-R成分を減衰させる割り合いを小さくしたい場合はスイッチ $U_0$ を選択し、L-R成分の減衰率をもっと大きくしたい場合は、順次スイッチ $U_1$ 、 $U_2$ 、 $U_3$ をそれぞれ選択するようになっている。そこで、SNC用のセクタ26は、オフセット回路23から出力された信号Sig4に応じて、上記4つのスイッチ $U_0$ 、 $U_1$ 、 $U_2$ 、 $U_3$ の中のいずれを選択すべきかを指示する信号を制御信号としてSNC回路16へ出力する。なお、RSSIが所定の範囲（図1中の $I_4 \sim I_5$ の範囲）よりも小さい場合は、信号Sig4が負の値を示すことになるが、そのような場合は下限値 $I_4$ に対応するスイッチ $U_0$ を選択する制御信号が出力され、一方、RSSIが所定の範囲（図1中の $I_4 \sim I_5$ の範囲）よりも大きい場合は、上限値 $I_5$ に対応するスイッチ $U_3$ を選択する制御信号が出力される。

なお、以上では、SNC用のセクタ26についての説明を行ったが、HCC用のセクタ25や、SMUTE用のセクタ24においても同様に、HCC処理やSMUTE処理のための制御信号が生

成される。

例えば、ディエンファシス回路 1 4（図 3）における H C C 処理の場合、オフセット回路 2 2 から出力される信号  $S_{i g 4}$  に従い、L 成分と R 成分の減衰率を小さく制御する場合はスイッチ  $S_0$  が選択されるように、また L 成分と R 成分の減衰率を大きく制御する場合は、順次スイッチ  $S_1$ 、 $S_2$ 、 $S_3$  がそれぞれ選択されるように、セレクト 2 5 から制御信号が出力される。なお、R S S I が所定の範囲（図 1 中の  $I_2 \sim I_3$  の範囲）から外れている場合は、S N C 用のセレクト 2 6 の場合と同様に、下限値  $I_2$  又は上限値  $I_3$  に対応するスイッチ  
10 を選択する制御信号が出力される。

また、S M U T E 回路 1 5（図 3）で行われる S M U T E 処理の場合、オフセット回路 2 1 から出力される信号  $S_{i g 4}$  に従い、コンポジット信号の減衰率を大きく制御する場合はスイッチ  $V_0$  が選択されるように、また、減衰率を小さく制御する場合はスイッチ  $V_1$  が選択  
15 されるように、セレクト 2 4 から制御信号が出力される。なお、R S S I が所定の範囲（図 1 中の  $I_0 \sim I_1$  の範囲）から外れている場合は、S N C 用のセレクト 2 6 の場合と同様に、下限値  $I_0$  又は上限値  $I_1$  に対応するスイッチを選択する制御信号が出力される。

図 5 は、図 3 に示したディエンファシス回路 1 4 のスイッチ部分の  
20 具体的な回路構成の一例である。

図 5 において、スイッチ  $S_1$  が選択される場合、制御信号生成回路 2 0 の出力信号としては、 $S_0 = \text{オフ}$ 、 $S_1 = \text{オン}$ 、 $S_2 = \text{オフ}$ 、 $S_3 = \text{オフ}$  の信号が出力される。他のスイッチが選択される場合も同様に、選択されるスイッチに入力される信号のみオンに設定され、その  
25 他のスイッチに入力される信号はオフに設定される。なお、図 5 は、



図 3 のディエンファシス回路 14 のスイッチ部分に関するものだが、SMUTE 回路 15 のスイッチ部分、SNC 回路 16 のスイッチ部分も同様に構成可能である。

以上に述べた実施形態によれば、オフセット回路 21、22、23  
5 において、各ノイズ制御の精度の粗さに応じたビット数だけ下位ビットを切り捨て、セクタ 24、25、26 ではその残りの上位ビットに基づいて制御信号を生成する構成としたことにより、セクタ 24、25、26 はより少ないビット数で処理するだけで済むようになり、よって、無駄のない信号処理を実現できる。その結果、セクタ 2  
10 4、25、26 を一段と簡素な構成で実現することができる。

なお、上記の実施の形態では、図 4 に示したように、制御信号生成回路 20 をオフセット回路とセクタとからなるハードウェアで実現しているが、これをソフトウェアによる演算処理で実現することも可能である。例えば、HCC 用のオフセット回路 22 及びセクタ 25  
15 の上記例をソフトウェアで実現するには、まず、HCC の制御精度の粗さに応じて、5 ビットの信号  $Sig_3$  から下位 1 ビット分を切り捨てて上位 4 ビットの信号を生成し、この 4 ビットの信号からオフセット値  $F_2$  (例えば 3 ビットの値) を減算する。そして、その減算結果が、図 1 における HCC の範囲  $I_2 \sim I_3$  に相当する値 (例えば、十進  
20 数で「0」～「7」の範囲の値) にある時は、その値に応じたスイッチ (図 3 に示したスイッチ  $S_0 \sim S_3$  のいずれか 1 つ) をオンにする制御信号を出力し、また、上記演算結果が負の時は、演算結果が「0」の時と同一の制御信号を出力し、一方、上記演算結果が「8」以上の時は、演算結果が「7」の時と同一の制御信号を出力するようにす  
25 る。これはほんの一例であるが、SMUTE や SNC 用の制御信号も

、それらに応じたほぼ同様な演算処理によって生成可能である。

次に、本発明の他の実施形態に係るステレオ復調回路について説明する。

この実施形態は、RSSIが所定の範囲内にある時にRSSIに応じたノイズ制御を行うノイズ制御部（図3に示したディエンファシス回路14、SMUTE回路15、SNC回路16等）を少なくとも1つ備えるステレオ復調回路を前提とするものであり、図3に示したステレオ復調回路10における制御信号生成回路20の代わりに、新たな制御信号生成回路が採用されている。なお、ここでは、上記のノイズ制御部におけるノイズ制御の制御量がアナログの制御信号によって決定されるものを対象としており、よって、ノイズ制御部は図3に示したようなスイッチS、U、Vを備えていないものとする。

ここで、上記の独自の制御信号生成回路は、図3に示したようにAD変換器17でAD変換されてラッチ回路18に一旦保持された信号Sig3を、上記所定値分だけデジタル的にオフセットするオフセット回路（不図示）と、このオフセットされた信号をDA変換するDA変換器（不図示）と、このDA変換によって得られた信号をゼロバイアスと比較し、その差分を増幅して上記制御信号として出力する差動増幅回路30（図6）とから構成される。

上記オフセット回路としては、図4に示した各オフセット回路21、22、23と同様な構成のものを採用可能であるが、下位ビットを切り捨てる機能は備えていなくともよい。上記DA変換器は、公知のものを採用可能であり、ここではその説明を省略する。

上記差動増幅回路30は、図6から明らかなように、比較用の基準電圧としてゼロバイアスを採用する差動増幅回路であり、そのVin

端子には上記 D A 変換器で D A 変換して得られたアナログ信号 (R S S I に相当する信号であって、既にオフセットされたもの) が入力され、そのアナログ信号を b 点の基準電圧 (= 0) と比較して、その差分を増幅して出力するものである。すなわち、b 点は接地されてゼロ

5 バイアスとなっているので、予めオフセットを与えられている V i n 端子への入力信号と、b 点のゼロバイアスとの差分が増幅されて、上記ノイズ制御部への制御信号として出力される。この場合、制御信号はアナログ信号であり、このアナログ信号に応じて上記ノイズ制御部のノイズ制御量が連続的に切り替えられる。

10 このように、基準電圧として 0 バイアスを使用する構成とすることで、基準電圧が温度変化やプロセスばらつき等によって変動することがなくなり、よって、上記ノイズ制御部のノイズ制御を非常に正確に行うことができるようになる。

なお、本発明は、上記の実施形態における構成に限定されるもので

15 はなく、各請求項に記載された範囲内で種々の構成変更が可能である。

#### 産業上の利用可能性

本発明の技術思想はステレオ復調回路に適用されることは勿論だが

20 、そのみに適用されうるものではなく、入力信号レベルが所定範囲内にある時にそのレベルに応じた所定の制御を行う回路部分を少なくとも 1 つ備える各種の信号処理回路に対して、同様に適用可能である。

## 請求の範囲

1. 受信電界強度が所定範囲内にある時に該受信電界強度に応じたノイズ制御を行うノイズ制御部を少なくとも 1 つ備えるステレオ復調

5 回路において、

前記受信電界強度を示す信号である受信電界強度信号を A/D 変換する A/D 変換部と、

10 該 A/D 変換部で得られたデジタル信号を前記所定範囲に応じた所定値分だけデジタル的にオフセットし、かつ、前記ノイズ制御部におけるノイズ制御の精度の粗さに応じて設定されるビット数だけ前記デジタル信号の下位ビットを切り捨てるオフセット部と、

該オフセット部で得られた信号に基づき、前記ノイズ制御部におけるノイズ制御の制御量を決定する制御信号を出力する制御信号出力部と、

15 を備えることを特徴とするステレオ復調回路。

2. 前記ノイズ制御部は、前記制御信号出力部から出力される制御信号に応じたノイズ制御量に段階的に切り替えられることを特徴とする請求項 1 記載のステレオ復調回路。

20

3. 受信電界強度が所定範囲内にある時に該受信電界強度に応じたノイズ制御を行うノイズ制御部を少なくとも 1 つ備えるステレオ復調回路において、

25 前記受信電界強度を示す信号である受信電界強度信号を、前記所定範囲に応じた所定値分だけオフセットするオフセット部と、

該オフセット部で得られた信号をゼロバイアスと比較し、その差分を出力する差分出力部と、

該差分出力部で得られた信号に基づき、前記ノイズ制御部におけるノイズ制御の制御量を決定する制御信号を出力する制御信号出力部と

5 、

を備えることを特徴とするステレオ復調回路。

4. 前記ノイズ制御部を複数備え、該複数のノイズ制御部における前記所定範囲がそれぞれ別々に設定されていることを特徴とする請求  
10 項 1 乃至 3 のいずれか 1 項に記載のステレオ復調回路。

5. 入力信号レベルが所定範囲内にある時に該入力信号レベルに応じた所定の制御を行う回路部分を少なくとも 1 つ備える信号処理回路において、

15 前記入力信号レベルを示す信号であるレベル信号を A/D 変換する A/D 変換部と、

該 A/D 変換部で得られたデジタル信号を前記所定範囲に応じた所定値分だけデジタル的にオフセットし、かつ、前記回路部分における前記所定制御の精度の粗さに応じて設定されるビット数だけ前記デ  
20 ジタル信号の下位ビットを切り捨てるオフセット部と、

該オフセット部で得られた信号に基づき、前記回路部分における前記所定制御の制御量を決定する制御信号を出力する制御信号出力部と

、

を備えることを特徴とする信号処理回路。

6. 入力信号レベルが所定範囲内にある時に該入力信号レベルに応じた所定の制御を行う回路部分を少なくとも 1 つ備える信号処理回路において、

前記入力信号レベルを示す信号であるレベル信号を、前記所定範囲  
5 に応じた所定値分だけオフセットするオフセット部と、

該オフセット部で得られた信号をゼロバイアスと比較し、その差分を出力する差分出力部と、

該差分出力部で得られた信号に基づき、前記回路部分における前記所定制御の制御量を決定する制御信号を出力する制御信号出力部と、  
10 を備えることを特徴とする信号処理回路。

1/6

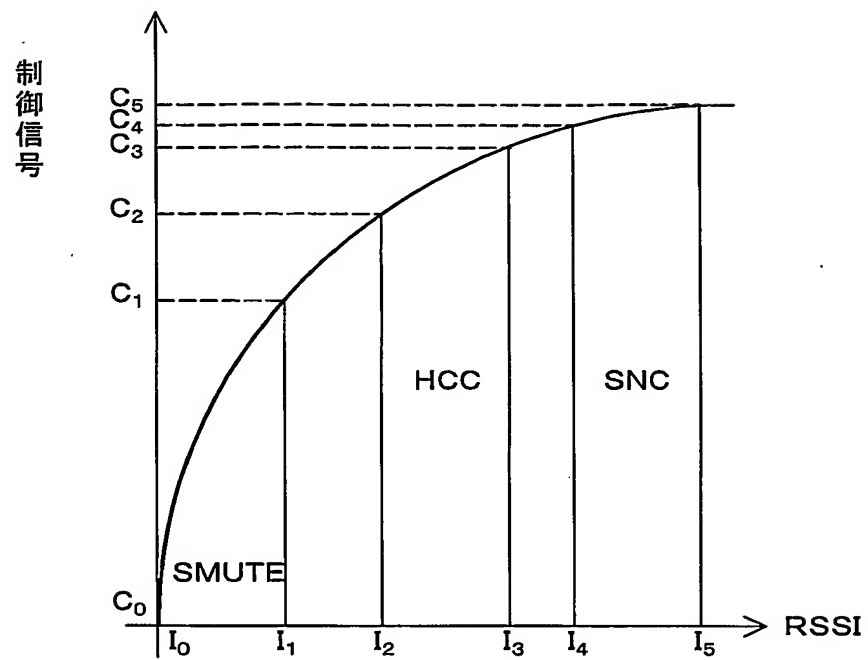


図1

2/6

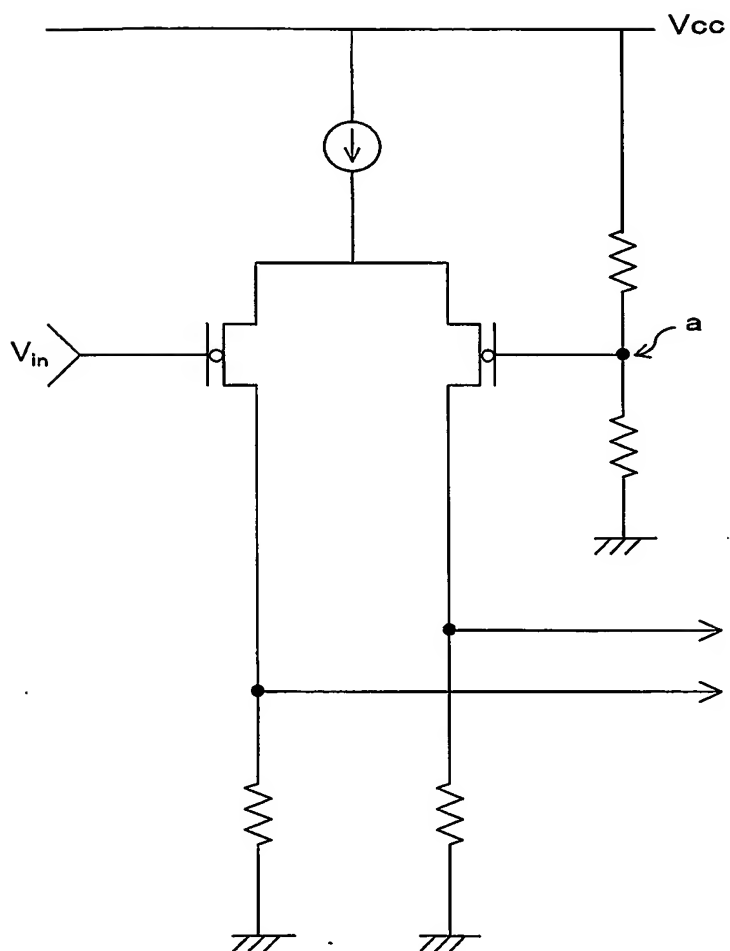


图2



3/6

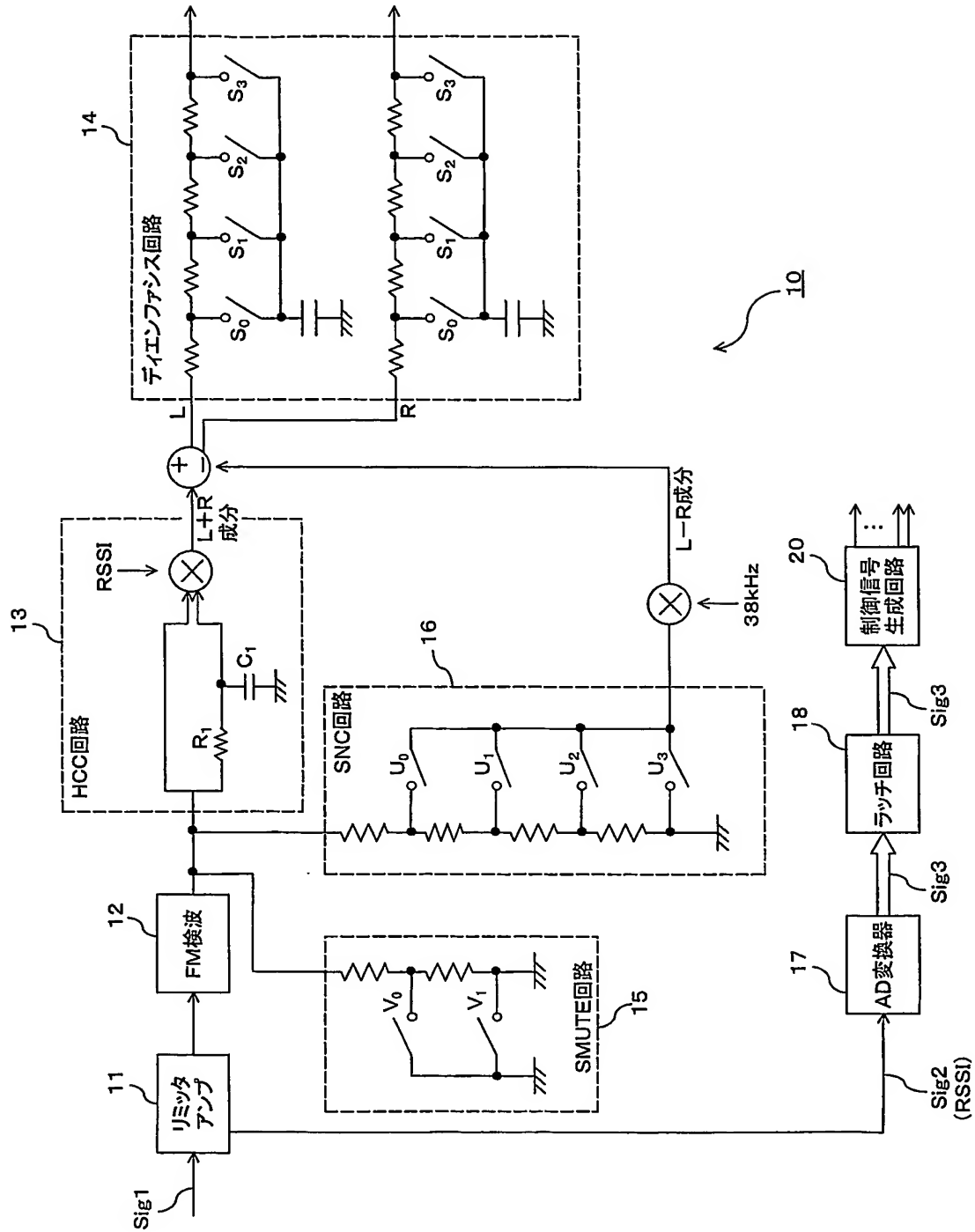


図3

4/6

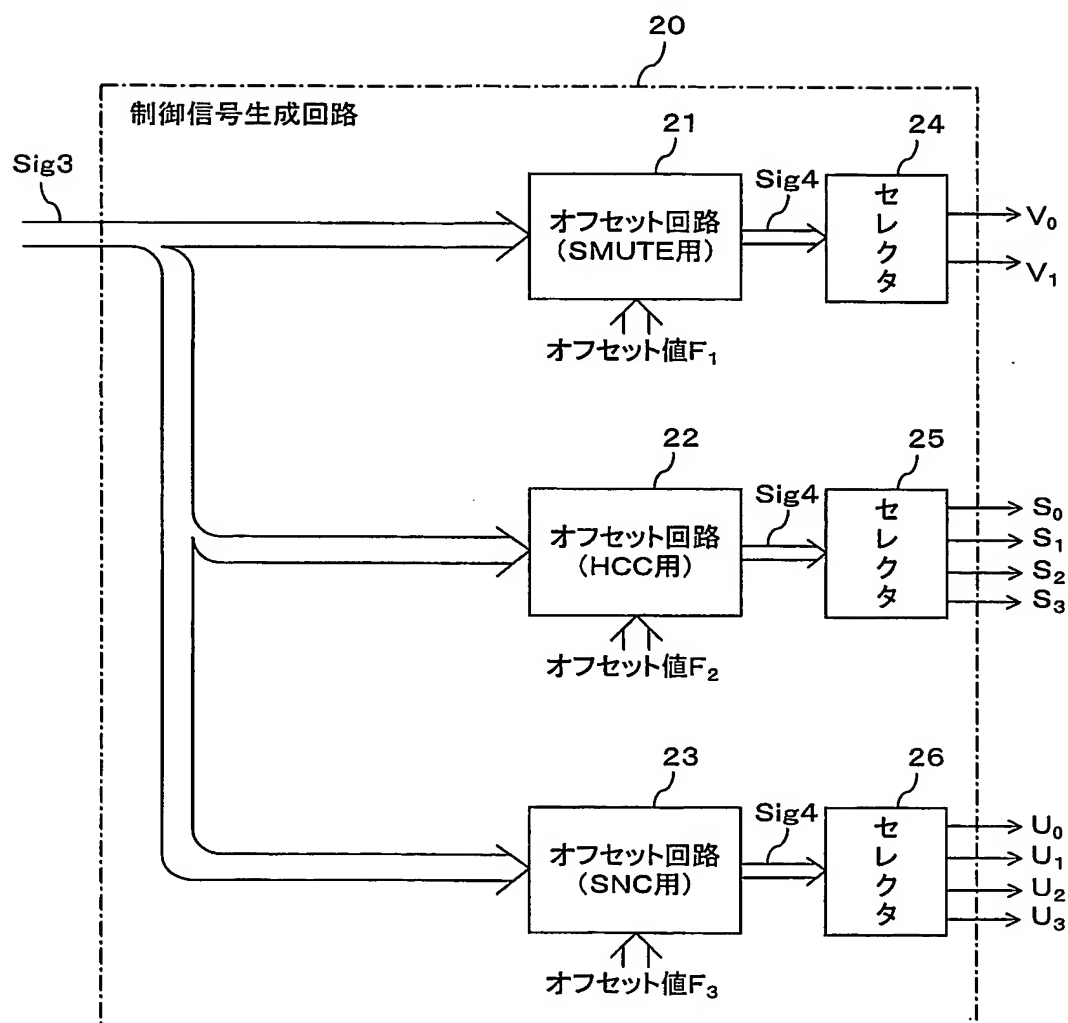


図4

5/6

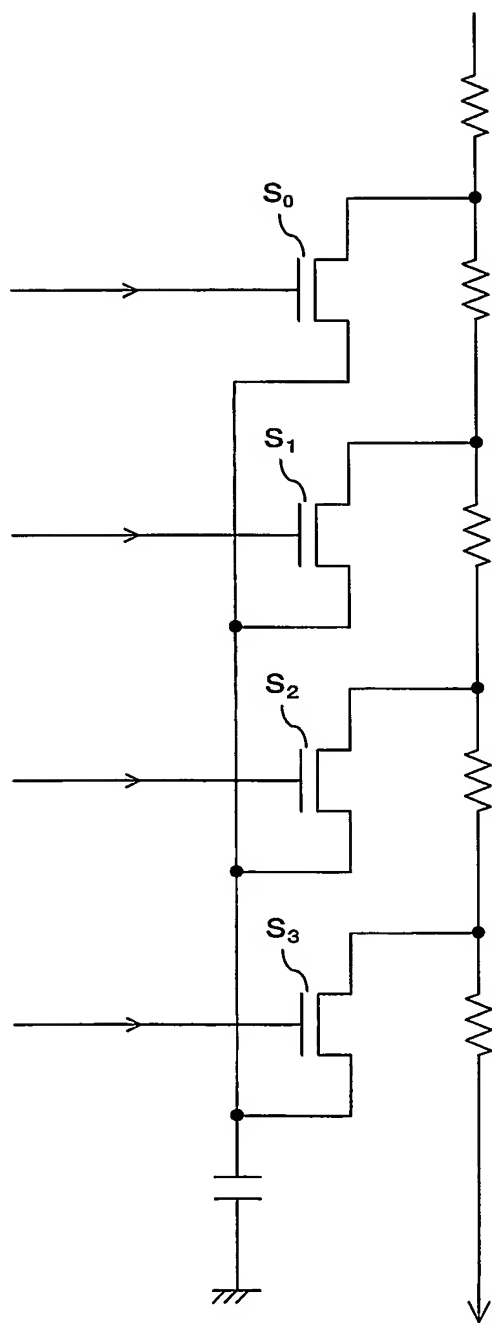


图5

6/6

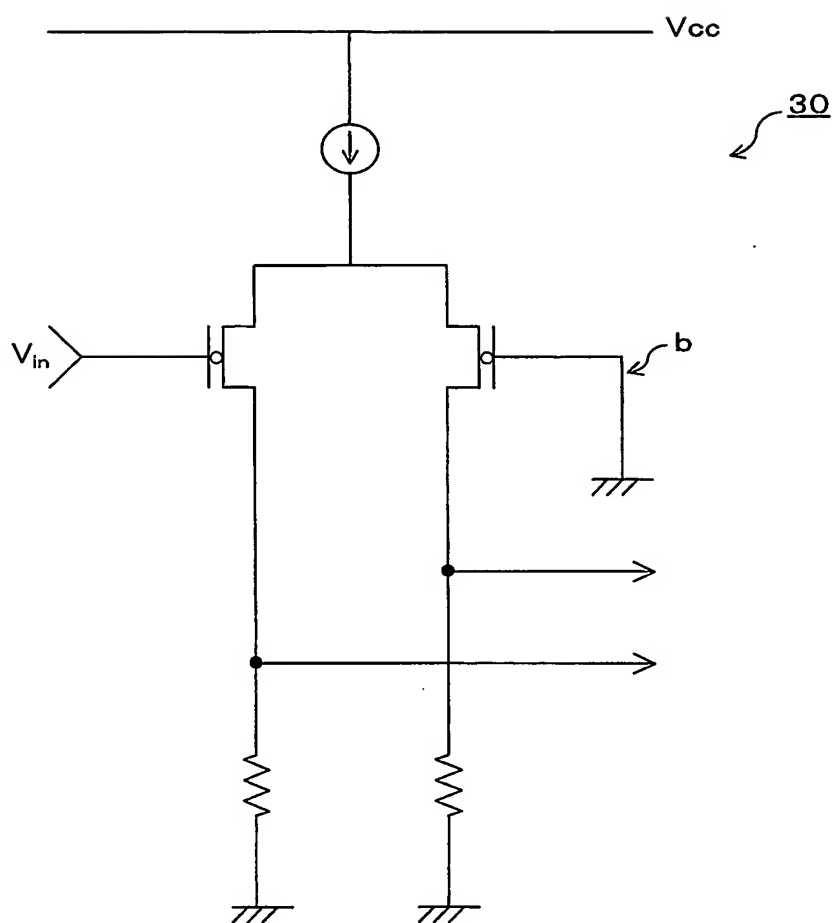


图6

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/10584

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H04H5/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H04H5/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 62-200931 A (Fujitsu Ten Ltd.), 04 September, 1987 (04.09.87), Page 3, lower right column, line 9 to page 4, upper right column, line 5; Figs. 1, 4 (Family: none)	1, 2, 5.
Y	JP 6-315016 A (Sanyo Electric Co., Ltd.), 08 November, 1994 (08.11.94), Par. Nos. [0026] to [0028]; Figs. 2, 3 (Family: none)	3, 4, 6
Y	JP 11-163678 A (Matsushita Electric Industrial Co., Ltd.), 18 June, 1999 (18.06.99), Par. Nos. [0023] to [0026]; Fig. 1 (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p>
--	---

Date of the actual completion of the international search  
25 September, 2003 (25.09.03)

Date of mailing of the international search report  
07 October, 2003 (07.10.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP03/10584

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 3-29405 A (Fujitsu Ltd.), 07 February, 1991 (07.02.91), Figs. 8, 9 (Family: none)	3, 6

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H04H5/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H04H5/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 62-200931 A (富士通テン株式会社) 1987. 09. 04 第3頁右下欄第9行-第4頁右上欄第5行, 第1図, 第4図 (ファミリーなし)	1, 2, 5
Y	JP 6-315016 A (三洋電機株式会社) 1994. 11. 08 第0026-0028段落, 第2図, 第3図 (ファミリーなし)	3, 4, 6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

25. 09. 03

国際調査報告の発送日

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
丸山 高政

電話番号 03-3581-1101 内線 3535

07.10.03

5 J 3055

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 11-163678 A (松下電器産業株式会社) 1999. 06. 18 第0023-0026段落, 第1図 (ファミリーなし)	1-6
Y	J P 3-29405 A (富士通株式会社) 1991. 02. 07 第8図, 第9図 (ファミリーなし)	3,6